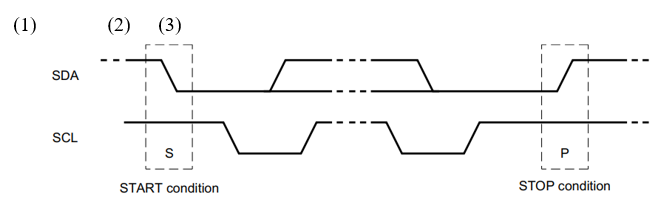
Đồ án 2: DESIGN AND SIMULATION I2C CONTROLLER BY VERILOG

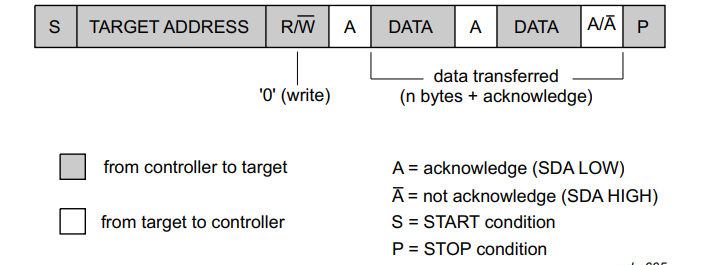
Thời gian: Tuần 10

Nội dung: Test case + Khối Master (RTL code)

**Testcase**



* (1) Trạng thái reset: reset= 1, enable= X thì SDA và SCL cao, ready = 0, busy = 0
* (2) Trạng thái ready: reset = 0, enable= 1, SDA và SCL cao, ready = 1, busy = 0
* (3) Trạng thái Start: reset= 0, enable = 1, SDA mức cao sang SDA mức thấp, SCL ở mức cao, ready = 0, busy = 1
* Hướng truyền dữ liệu:



RW = 0: Mater truyền dữ liệu



RW = 1: Master nhận dữ liệu

* Trạng thái truyền nhận dữ liệu



Địa chỉ Slave: 7’b0001111

Trạng thái xác nhận:

addr(6:0) = 7’b0001111, RW = 0, SDA = 0 (ở SCL thứ 9)

=> data\_in(7:0) = 8’b101010101

addr(6:0) = 7’b0001111, RW = 1, SDA = 0 (ở SCL thứ 9)

=> data\_out(7:0) = 8’b11111000

Trạng thái từ chối:

Th1: Truyền không đúng số bit địa chỉ

Addr(6:0) = 7’b1111111 và RW= 0, SDA = 1( ở SCL thứ 9)

=>data\_in(7:0) = 8’bxxxxxxxx

Addr(6:0) = 7’1111111 và RW= 1, SDA = 1( ở SCL thứ 9)

=>data\_out(7:0) = 8’bxxxxxxxx

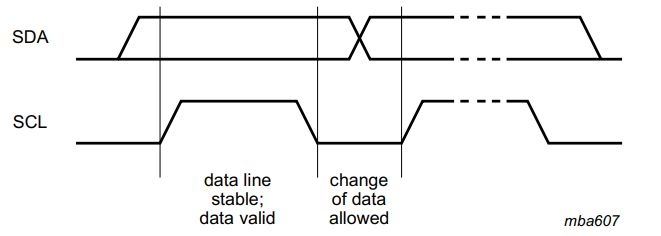
Th2: Truyền không đủ số bit dữ liệu

Addr(6:0) = 1 và RW= 0, SDA = 0( ở SCL thứ 9), data\_in(5:0) = 6’b000111

Th3: Nhận không đủ số bit dữ liệu

Addr(6:0) = 1 và RW= 1, SDA = 0( ở SCL thứ 9), data\_out(5:0) = 8’bxxxxxxxx

* Quá trình truyền 1-bit



Dữ liệu trong SDA phải ổn định trong thời gian SCL mức cao, trạng thái cao hoặc thấp của đường dữ liệu chỉ có thể thay đổi khi SCL ở mức thấp

|  |  |
| --- | --- |
| STEP TESTCASE | DEFINITION |
| Trạng thái reset | Tín hiệu reset |
| Trạng thái start không sẵn sàng | Trạng thái ready |
| Trạng thái start sẵn sàng | Trạng thái start |
| Hướng truyền dữ liệu | RW = 0 (Master -> Salve)  RW = 1 (Slave -> Mater) |
| Trạng thái truyền nhận dữ liệu | Truyền không đúng số bit địa chỉ  Truyền không đủ số bit dữ liệu  Nhận không đủ số bit dữ liệu |
| Quá trình truyền 1-bit | Sự ổn định trong SDA  Sự thay đổi trong SDA |

Bảng trạng thái

